

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1508ПЛ9Т

ТЕХНИЧЕСКОЕ ОПИСАНИЕ

РАЯЖ.431328.002Д34

ОГЛАВЛЕНИЕ

1. ОСНОВНЫЕ ОСОБЕННОСТИ	3
2. ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ	4
2.1 Выводы СБИС	5
2.2 Приемник сигнала опорной частоты	6
2.3 Пределитель	7
2.4 Целочисленный делитель	7
2.5 Сигма-дельта модулятор. Режим дробного частотного синтеза	8
2.6 Частотно-фазовый детектор и генератор тока	9
2.7 Программируемый выход OUT	10
2.8 Последовательный интерфейс управления	10
2.9 Режим DIRECT	14
2.10 Энергосберегающий режим работы микросхемы	15
2.11 Режим быстрого захвата фазы	15
3. ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ	16
4. ТИПОВЫЕ ЗАВИСИМОСТИ	20
5. ВРЕМЕННЫЕ ПАРАМЕТРЫ	26
6. ТИПОВЫЕ СХЕМЫ ВКЛЮЧЕНИЯ	27
7. КОРПУС СБИС	30
8. ИСТОРИЯ ИЗМЕНЕНИЙ	32
8.1 Изменения от 26.05.2015. Автор: Дубинский А.В.	32
8.2 Изменения от 09.09.2016. Автор: Дубинский А.В.	32
8.3 Изменения от 31.01.2017. Автор: Курмаев Р.А.	32
8.4 Изменения от 27.02.2017. Автор: Дубинский А.В., Черных А.В.	32

1. ОСНОВНЫЕ ОСОБЕННОСТИ

- входная частота до 4,5 ГГц;
- нормированный уровень фазовых шумов -230 дБн/Гц;
- нормированный уровень фликкер-шумов -122 дБн/Гц;
- частота работы фазового детектора не более 100 МГц;
- типовая потребляемая мощность не более 130 мВт;
- коэффициенты деления предделителя 4/5, 8/9, 16/17 и 32/33;
- режимы работы с целочисленным и дробным коэффициентом деления;
- устройство рандомизации помех дробности;
- последовательный порт управления SPI;
- возможность управления коэффициентом деления по параллельной шине;
- корпус LQFP-48.

Интегральная микросхема 1508ПЛ9Т предназначена для использования в синтезаторах несущих и гетеродинных частот, а так же в синтезаторах сигналов приема-передающих устройств радиолокационных и связных комплексов в VHF, UHF, L, S диапазонах.

Микросхема 1508ПЛ9Т может быть использована для замены используемых в настоящее время зарубежных схем ФАПЧ (PLL), в частности ADF41xx, ADF42xx (Analog Devices), LMX23xx (National Semiconductor), PE32xx, PE33xx (Peregrine), Q32xx (Qualcomm), CX72302 (Skyworks), HMC7xx (Hittite).

2. ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Структурная электрическая схема микросхемы 1508ПЛ9Т приведена на рисунок 2.1.

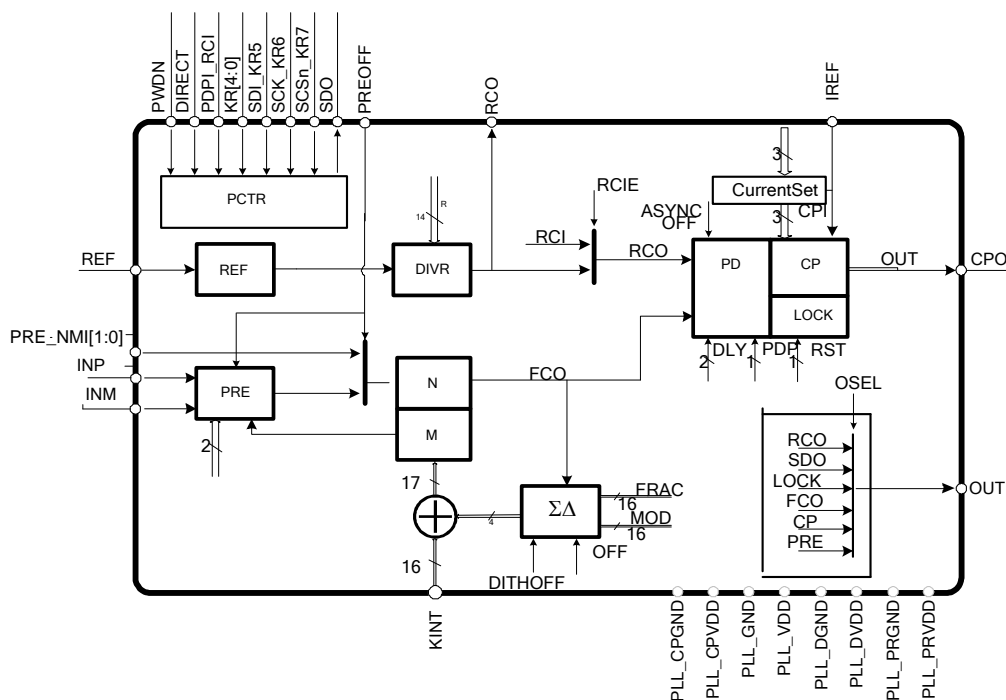


Рисунок 2.1. Структурная электрическая схема СБИС ФАПЧ

Микросхема 1508ПЛ9Т (далее - СБИС) содержит целочисленный делитель входной тактовой частоты, построенный на основе предделителя PRE и счетчика DIVNM, сигма-дельта модулятор SDM для формирования дробных коэффициентов деления, 14-бит делитель опорной тактовой частоты DIVR, частотно-фазовый детектор с генератором тока PDCP для управления внешним генератором, управляемым напряжением (ГУН), и схему управления PCTR.

СБИС может работать в режимах целочисленного (SDM выключен) и дробного (SDM включен) частотного синтеза. Связь между входной и опорной частотой определяется следующим соотношением:

$$F_{IN} = F_{REF} * (INT + FRAC/MOD) / R$$

где:

F_{IN} – выходная частота ГУН (на входе INP/INM);

F_{REF} – частота опорного сигнала (на входе REF);

INT – 17-бит целая часть коэффициента деления входной частоты;

FRAC – 16-бит числитель дробной части коэффициента деления входной частоты (0, если SDM выключен);

MOD – 16-бит знаменатель дробной части коэффициента деления входной частоты;
R – 14-бит коэффициент деления опорной частоты.

Установка параметров и управление СБИС осуществляется с помощью SPI-совместимого последовательного интерфейса. Кроме этого, предусмотрена возможность управления целочисленным коэффициентом деления по параллельной шине и режим работы СБИС с непосредственным управлением (режим DIRECT).

2.1 Выводы СБИС

Нумерация, тип, обозначение и назначение выводов приведены в таблицах 2.1-2.2.

Таблица 2.1. Назначение выводов СБИС

Номер вывода	Кол-во	Обозначение	Тип вывода	Функциональное назначение
1	1	PREOFF	I	Сигнал выключения предделителя: PREOFF==1 – предделитель выключен, в качестве входа тактовой частоты используется PRE_NMI[0]
2,3	2	PRE_NMI[1:0]	I	PREOFF==1: PRE_NMI[0] - вход тактовой частоты* PREOFF==0, DIRECT==1: коэффициент деления предделителя
4	1	PRVDD	APWR	Питание предделителя (1.8В)
5	1	INM	AI	Вход тактовой частоты отрицательный
6	1	INP	AI	Вход тактовой частоты положительный
7	1	PRGND	AGND	Земля предделителя
8	1	CPGND	AGND	Земля генератора тока
9	1	CPO	AO	Выход генератора тока
10	1	CPVDD	APWR	Питание генератора тока (3.3В)
11	1	IREF	AI	Вывод установки опорного тока генератора тока
12	1	REF	AI	Вход опорной частоты
13	1	PDPI_RCI	I	DIRECT==0: вход опорной частоты фазового детектора RCI DIRECT==1: управление полярностью фазового детектора PDP (PDPI_RCI==0 – для ГУН с положительным наклоном вольт-частотной характеристики, PDPI_RCI==1 – для ГУН с отрицательным наклоном вольт-частотной характеристики)
14	1	RCO	O	Выход с делителя опорной частоты
15,30	2	GND	GND	Земля 1.8В
16,32	2	VDD	PWR	Питание 1.8В
17...21	5	KR[4:0]	I	Вход прямой загрузки коэффициента деления R[4:0]
22	1	SDI_KR5	I	DIRECT==0: Вход данных последовательного порта управления DIRECT==1: 5-й бит коэффициента R
23	1	SCK_KR6	I	DIRECT==0: Тактовый вход последовательного порта управления DIRECT==1: 6-й бит коэффициента R
24	1	SCSn_KR7	I	DIRECT==0: Вход выбора последовательного порта управления DIRECT==1: 7-й бит коэффициента R
25	1	SDO	O	Выход данных последовательного порта управления
26	1	DGND	GND	Земля 3.3В
27	1	OUT	O	Выход программируемый
28	1	DVDD	PWR	Питание 3.3В

Номер вывода	Кол-во	Обозначение	Тип вывода	Функциональное назначение
29	1	PWDN	I	Переход в энергосберегающий режим. 1-нормальный режим работы.
31	1	DIRECT	I	Включение режима DIRECT: DIRECT==1 – режим DIRECT включен
33...48	16	KINT[15:0]	I	Вход прямой загрузки 16-ти младших битов коэффициента деления INT

*- при этом входы INM/INP становятся нерабочими и сигнал с PRE_NMI[0] поступает на вход целочисленного делителя (в обход предделителя). На вход PRE_NMI[1] подается уровень логического нуля либо единицы.

Таблица 2.2. Типы выводов СБИС

Тип	Функциональное назначение
I	Вход
AI	Вход аналоговый
O	Выход
AO	Выход аналоговый
PWR	Напряжение питания
GND	Земля
APWR	Напряжение питания аналоговое
AGND	Земля аналоговая

2.2 Приемник сигнала опорной частоты

Приемник сигнала опорной частоты (REF) обеспечивает прием сигнала синусоидальной либо прямоугольной формы. На рисунке 2.2 показана упрощенная эквивалентная схема приемника сигнала опорной частоты, соответствующая нормальному режиму функционирования СБИС. В режиме пониженного энергопотребления вход приемника переводится в третье состояние, на выходе приемника устанавливается уровень логической единицы.

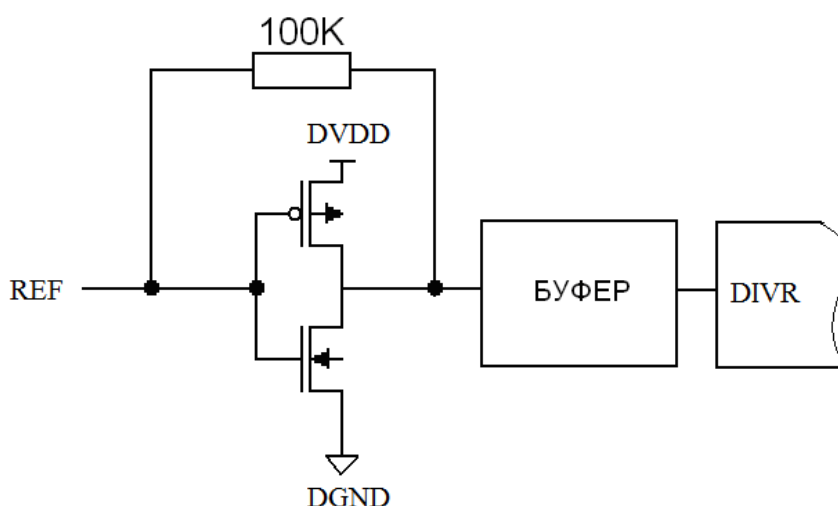


Рисунок 2.2. Эквивалентная схема входа приемника опорной частоты

Типовая схема подключения внешнего опорного генератора ко входу REF показана на рисунке 6.4.

2.3 Пределитель

Схема высокочастотного пределителя (PRE) состоит из приемника сигнала тактовой частоты и логической части. Эквивалентная схема входов INP/INM показана на рисунке 2.3. В схеме пределителя предусмотрено внутреннее смещение, равное $0,78 \cdot PRVDD$.

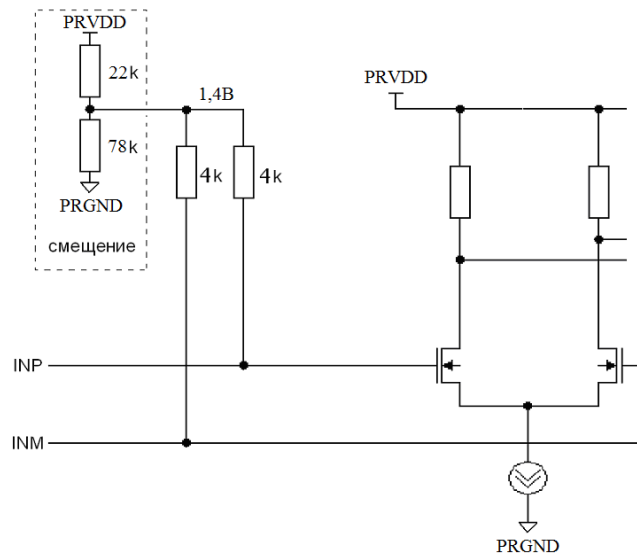


Рисунок 2.3. Эквивалентная схема входов INP/INM пределителя

Возможные коэффициенты деления ($P/P+1$) пределителя: 4/5, 8/9, 16/17, 32/33. Минимальный коэффициент деления целочисленного делителя, работающего в сочетании с пределителем, ограничен снизу. Он определяется следующим образом: $P_{min} = P^2 - P$.

2.4 Целочисленный делитель

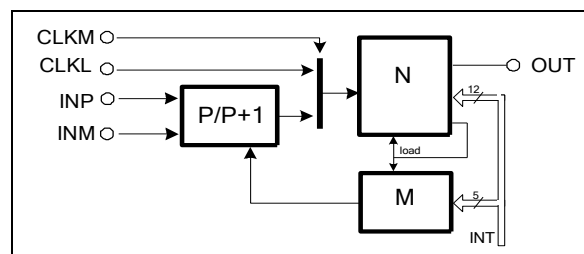


Рисунок 2.4. Структурная схема целочисленного делителя

Целочисленный делитель входной тактовой частоты построен на основе высокочастотного пределителя PRE и относительно низкочастотного делителя DIVNM, который управляет коэффициентом деления пределителя: $P/P+1$. Базовый коэффициент деления пределителя P задается параметром $PRE[1:0]$ и должен выбираться так, чтобы обеспечить работу делителя DIVNM на частоте не более 300 МГц. Общий коэффициент деления целочисленного делителя задается 17-бит параметром $INT[16:0]$. Коэффициент деления

предделителя PRE непосредственно не влияет на общий коэффициент деления INT, но определяет возможный диапазон его установки (см. таблицу 2.3).

Таблица 2.3. Диапазоны установки целочисленного коэффициента деления

PRE	P/P+1	Fin MAX	INT
0	4/5	1,2 ГГц	12...16383
1	8/9	2,4 ГГц	56...32767
2	16/17	4,8 ГГц	240...65535
3	32/33	4,8 ГГц	992...131071

Параметры PRE и INT могут быть установлены через последовательный порт или напрямую с помощью входов **PRE_NMI** и **KINT[16:0]**.

В случае, если в режиме DIRECT по какой-то причине было установлено недопустимое значение коэффициента INT, для дальнейшей нормальной работы микросхемы, после установления допустимого значения коэффициента INT, необходима подача импульса активного (низкого) уровня на вход **PWDn** микросхемы длительностью не менее двух тактов опорной частоты.

При входной частоте менее 300МГц для экономии энергопотребления предделитель PRE может быть выключен с помощью сигнала PREOFF. В этом случае делитель **DIVNM** тактируется низкочастотным сигналом с входа **PRE_NMI[0]**, а коэффициент деления INT может быть установлен в диапазоне 1..4095.

2.5 Сигма-дельта модулятор. Режим дробного частотного синтеза

Цифровой сигма-дельта модулятор (рисунок 2.5) тактируется сигналом FCO и формирует дробную часть коэффициента деления тактовой частоты. Для этого на входы аккумуляторов подаются значения FRAC и MOD с разрядностью до 16 бит. С выхода SDMO информация на каждом такте FCO суммируется с целочисленным коэффициентом INT, результат суммирования загружается в целочисленный делитель DIVNM. В результате усредненный коэффициент деления получается равным $INT + FRAC/MOD$. Для правильной работы сигма-дельта модулятора необходимо, чтобы значение поля FRAC было меньше значения поля MOD.

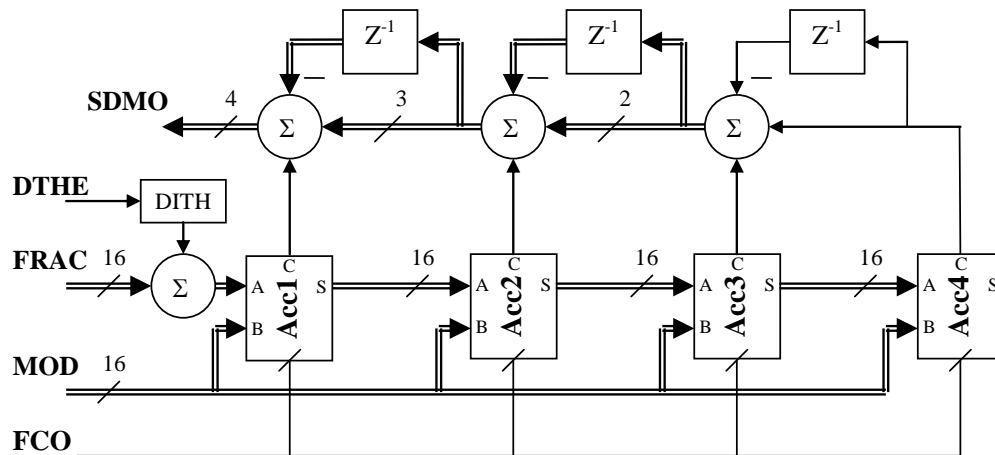


Рисунок 2.5. Структурная схема сигма-дельта модулятора

В схему сигма дельта модулятора включено устройство рандомизации помех дробности (DITH) для устранения дискретных составляющих из спектра синтезируемого сигнала. Длительность периода повторения шумовой последовательности равна 2^{24} такта сигнала FCO. Цифровой сигма-дельта модулятор обладает возможностями программирования следующих свойств:

- значений входов FRAC и MOD до 2^{16} ;
- разрядности аккумуляторов (определяется коэффициентом MOD);
- порядка сигма-дельта модулятора;
- включения/отключения устройства рандомизации помех дробности.

С увеличением порядка сигма-дельта модулятора на один порядок, наклон спектра его выходной последовательности увеличивается на 20дБ/декаду.

Условием корректной работы в дробном режиме является выполнение неравенств: $F_{\text{PFD}} > 5 / (K_{\text{INT}} * T_{\text{PMT}})$ и $F_{\text{PFD}} > 10 * W_{\text{ФАПЧ}}$, где T_{PMT} - погрешность совпадения фазы, (устанавливается полем управления PMT, см. Табл. 2.5), $W_{\text{ФАПЧ}}$ - полоса пропускания ФАПЧ.

2.6 Частотно-фазовый детектор и генератор тока

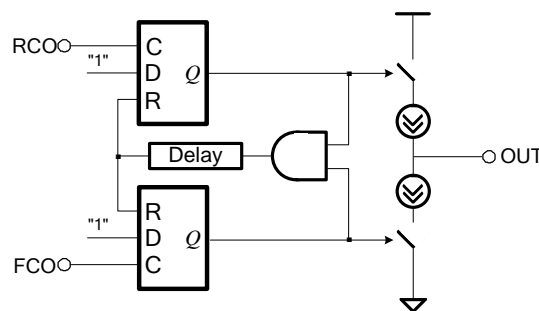


Рисунок 2.6. Упрощенная схема частотно-фазового детектора и генератора тока

Частотно-фазовый детектор и генератор тока принимает сигналы с выходов делителей опорной и входной частоты и формирует на выходе импульс тока, длительность которого пропорциональна разности фаз входных сигналов. Плавная регулировка выходного тока генератора возможна за счет подбора опорного резистора (Rset), включаемого между выводами IREF и CPGND. Дискретная регулировка выходного тока генератора возможна за счет программирования кодов управления (CPI1 или CPI2) тока генератора. Выходной ток генератора рассчитывается по формуле:

$$I_{CP}[mA] = 2 \cdot (CPI+1) / Rset[k\Omega].$$

Поля управляющих кодов генератора тока CPI1 и CPI2, а также поля FL, LM и CNT позволяют реализовать режимы быстрого захвата частоты. С помощью поля DLY может быть задана длительность задержки сигнала окончания цикла фазового детектора для компенсации «мертвой зоны» детектора. С помощью поля PDP можно установить полярность частотно-фазового детектора для использования ГУН как с положительным, так и отрицательным наклоном вольт-частотной характеристики.

2.7 Программируемый выход OUT

Выход микросхемы OUT является программируемым. С помощью мультиплексора на выходе можно наблюдать сигнал одной из внутренних цепей микросхемы:

- выход сдвигового регистра последовательного интерфейса;
- выход делителя частоты в обратной связи;
- выход предделителя;
- выход делителя опорной частоты;
- выход формирователя признака захвата фазы.

Мультиплексор управляется битами 9, 10 и 11 команды Ctrl (см. Таблица 2.4, Таблица 2.5).

2.8 Последовательный интерфейс управления

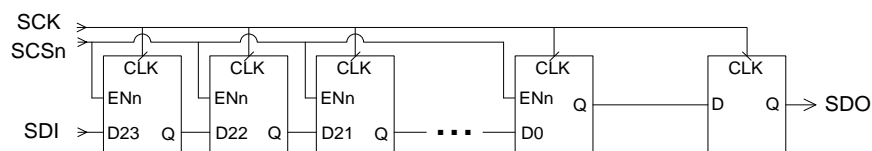


Рисунок 2.7. Функциональная схема блока SPI

Для управления микросхемой используется последовательный SPI-совместимый порт. Сигналы SDI, SDO, SCK и SCSn используются для загрузки кодов управления в 24-битный внутренний последовательный регистр. Первые 3 бита информации определяют код

команды, остальные разряды, поступившие в сдвиговый регистр, являются параметрами команды.

Входные данные (SDI) считываются по переднему фронту SCK. Выходные данные (SDO) изменяются по заднему фронту SCK. Запись во внутренние регистры осуществляется по фронту сигнала SCSn.

В процессе подачи команды, на выходном порте SDO наблюдается предыдущая команда. В процессе выполнения команды Read (см. Таблица 2.4) значение в сдвиговом регистре заменяется результатом выполняемой команды.

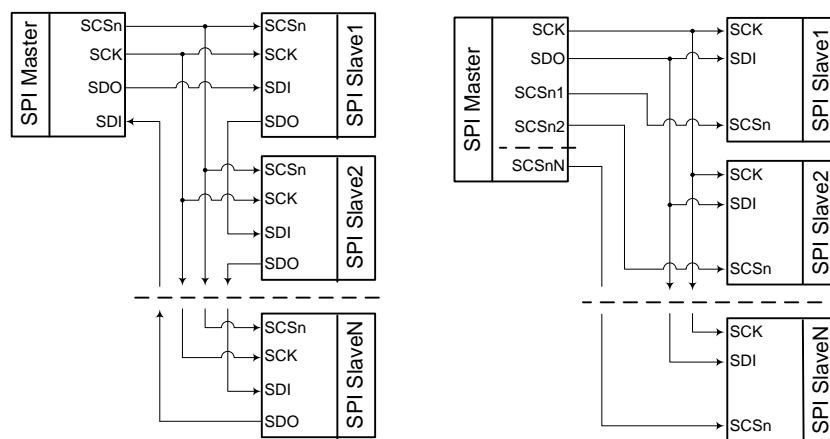


Рисунок 2.8. Последовательная и параллельная схема соединений нескольких устройств по SPI совместимому интерфейсу

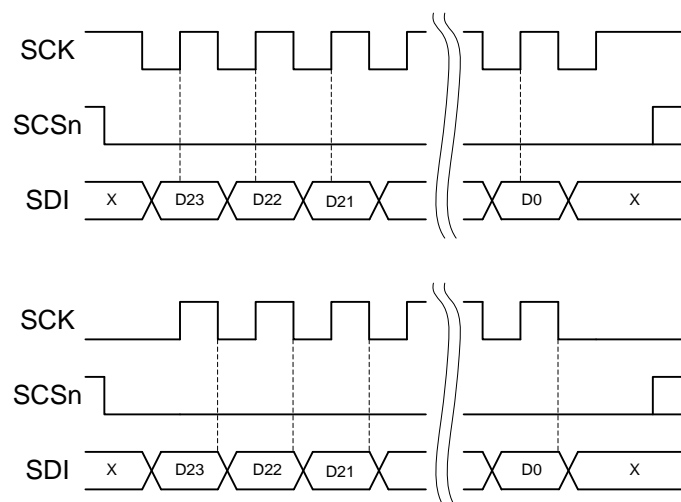


Рисунок 2.9. Прием и передача информации по SPI интерфейсу

Таблица 2.4. Формат кодов управления

Номер бита команды управления																							Имя команды	
23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		0
Код команды			Поля управления																					
0	0	0	FL	res	res	res	res	res	res	R[13:0]													Ref	
0	0	1	FL	res	res	res	INT[16:0]															Int		
0	1	0	FL	res	res	res	res	FRAC[15:0]															Frac	
0	1	1	FL	res	res	res	res	MOD[15:0]															Mod	
1	0	0	res	DTHE	SDM	FO	res	res	res	RCEN	OSEL	DLY	PDP	RCIE	PRE	OFF	RST	Ctr1						
1	0	1	res	res	res	res	CNT					LM	CPI2	CPI1	Ctr2									
1	1	0	TST			res	res	res	res	res	res	res	PMCNT					PMT	Ctr3					
1	1	1	res	res	res	res	res	res	res	res	res	res	res	res	res	res	res	res	res	CMD	Read			

Таблица 2.5. Значения полей управления

Поле управления	Значение управляющих полей при установке вывода DIRECT в значение логической единицы	Описание
R[13:0]	Со входов микросхемы {6*b0,KR7,KR6,KR5,KR[4:0]}	Коэффициент деления опорной частоты (DIVR). Значение поля 0 соответствует значению коэффициента 2^{14}
INT[16:0]	KINT	Коэффициент деления входной частоты целочисленного делителя (PRE/DIVNM). Если данное поле установлено в 0, то коэффициент деления определяется входами KINT. Значение поля 0 условно соответствует коэффициенту деления 2^{16}
FRAC[15:0]	-	Числитель дробной части коэффициента деления. Значение поля 0 соответствует значению коэффициента 2^{16}
MOD[15:0]	-	Знаменатель (модуль) дробной части коэффициента деления. Значение поля 0 соответствует значению коэффициента 2^{16}
FL	0	При установке этого поля в "1" сбрасывается признак захвата фазы LOCK и устройство переходит в режим "быстрого захвата фазы" (FastLock). См. также поле LM.
RST	0	1= сброс внутренних счетчиков и схемы управления. Не влияет на значения полей управления.
OFF[1:0]	0	Выключение устройства: 0= нормальная работа 1= асинхронно переводит выход СРО в третье состояние. 2= асинхронно переводит устройство в режим пониженного энергопотребления. Выход СРО устанавливается в третье состояние. 3= синхронно переводит устройство в режим пониженного энергопотребления. Выход СРО устанавливается в третье состояние. В режиме пониженного потребления все внутренние счетчики устанавливаются в начальное состояние.

Поле управления	Значение управляющих полей при установке вывода DIRECT в значение логической единицы	Описание
PRE[1:0]	Со входов микросхемы PRE_NMI	Код управления коэффициентов деления предделителя: 0: 4/5 (для частот до 1,2 ГГц); 1: 8/9 (для частот до 2,4 ГГц); 2: 16/17 (для частот до 4,8 ГГц); 3: 32/33 (для частот до 5,0 ГГц);
RCIE	0	1= разрешение входа PDP_RCI в качестве RCI (вход частотно-фазового детектора от делителя опорной частоты).
PDP	Со входов микросхемы PDP_RCI	Полярность частотно-фазового детектора (PDP==0 – для ГУН с положительным наклоном вольт-частотной характеристики, PDP==1 – для ГУН с отрицательным наклоном вольт-частотной характеристики)
DLY[1:0]	0	Задержка импульса сброса триггеров частотно-фазового детектора: 0: ~1нс 1: ~2нс 2: ~3нс 3: ~4нс
OSEL[2:0]	3	Управление выводом OUT: 0: SDO – выход SDO последовательного интерфейса 1: FCO – выход целочисленного делителя DIVNM 2: RCO – выход делителя опорной частоты DIVR 3: LOCK ¹ – признак захвата фазы 4: резерв 5: PRE – выход предделителя 6: 0 7: третье состояние
RCEN	1	Управление выводом RCO
SDM[1:0]	0	Режим работы сигма-дельта модулятора: 0: выключен (FO=0) 0: SDM 1-го порядка (FO=1) 1: SDM 2-го порядка (FO=0) 2: SDM 3-го порядка (FO=0) 3: SDM 4-го порядка (FO=0) 3: SDM 5-го порядка (FO=1)
FO	0	1: Режим работы сигма-дельта модулятора 1-го и 5-го порядка
DTNE	0	1: Включение схемы рандомизации помех дробности.

¹ Сигнал захвата фазы LOCK устанавливается в активный уровень, когда разность фаз сигналов на входе фазового детектора составляет менее времени, определяемого значением поля PMT, в течение PMCNT тактов частоты сравнения подряд (см. Табл. 2.5). Сигнал LOCK сбрасывается при первом превышении разностью фаз установленного значения. Поведение сигнала LOCK не определено в случае отсутствия опорной частоты на входе микросхемы.

Поле управления	Значение управляющих полей при установке вывода DIRECT в значение логической единицы	Описание
CPI1[2:0]	7	Код управления током генератора тока 1 000: I _{СРО} =0.625мА (Rset=3.2кОм) 001: I _{СРО} =1.25мА (Rset=3.2кОм) 010: I _{СРО} =1.875мА (Rset=3.2кОм) 011: I _{СРО} =2.5мА (Rset=3.2кОм) 100: I _{СРО} =3.125мА (Rset=3.2кОм) 101: I _{СРО} =3.75мА (Rset=3.2кОм) 110: I _{СРО} =4.375мА (Rset=3.2кОм) 111: I _{СРО} =5мА (Rset=3.2кОм)
CPI2[2:0]	-	Код управления током генератора тока 2 Используется в режиме быстрого захвата фазы
LM[1:0]	0	Режим переключения тока генератора тока: 0: применяется CPI1 независимо от состояния поля FL 1: применяется CPI2 независимо от состояния поля FL 2: при записи 1 в поле FL применяется CPI2, а через ~4*CNT такта поле FL сбрасывается в 0 и применяется CPI1. 3: при записи 1 в поле FL применяется CPI2, а через ~4*CNT такта после захвата фазы поле FL сбрасывается в 0 и применяется CPI1.
CNT[7:0]	0	Задержка переключения генераторов тока. См. поле LM.
PMT[1:0]	1	Погрешность совпадения фазы для формирования признака захвата фазы: 0: 1нс 1: 5нс 2: 15нс 3: 25нс
PMCNT[7:0]	5	Счетчик совпадений фазы для формирования признака захвата фазы. Признак захвата фазы формируется, если произошло PMCNT совпадений фазы подряд.
TST[2:0]	0	Режим тестирования. Для нормальной работы должен быть установлен в 0.
CMD[2:0]	0	При каждом прописывании этого регистра, следующая SPI команда возвращает команду, код которой содержится в поле CMD
Res	-	Зарезервировано. Должны быть установлены в 0.

2.9 Режим DIRECT

При использовании СБИС ФАПЧ в схеме без микроконтроллера, управление СБИС может осуществляться в режиме **DIRECT** без использования **SPI** интерфейса. Переход в режим задается установкой сигнала **DIRECT** в состояние логической единицы.

В режиме **DIRECT** возможно только целочисленное деление частоты ГУН (**SDM** выключен) без использования режима быстрого захвата фазы. Параметры **R**, **PRE**, **INT** управляются напрямую через внешние выводы следующим образом:

$R = \{000000, SCS_n_KR7, SCK_KR6, SDI_KR5, KR [4:0]\}$

PRE = PRE_NMI[1:0]

INT = KINT[16:0]

Остальные внутренние параметры (DLY[1:0], CPI1, PDP и т.п.) устанавливаются по умолчанию в соответствии с таблицей 2.5.

2.10 Энергосберегающий режим работы микросхемы

В энергосберегающем режиме микросхема потребляет меньше энергии за счет отключения всех блоков, либо частичного отключения отдельных блоков микросхемы. Количество отключаемых блоков зависит от напряжения на выводе PWDn, а также от состояния управляющих регистров RST, OFF, PREOFF (см. Таблица 2.6).

Таблица 2.6. Режимы пониженного энергопотребления

Условие	Потребляемая мощность	Описание
PWDn=0 В	~1мВт	От шин питания отключаются все аналоговые блоки. Цифровая последовательная логика переводится в состояние сброса. Все цифровые выходы микросхемы переводятся в третье состояние.
PWDn=DVDD RST==1	~1мВт	От шин питания отключаются все аналоговые блоки. Цифровая последовательная логика переводится в состояние сброса. Все цифровые выходы микросхемы переводятся в третье состояние. Программируемые регистры управления сохраняют свое значение до и после программного сброса.
PWDn=DVDD OFF==2 или OFF==3		
PWDn=DVDD OFF==1	~80мВт	Отключается только блок PDCP, все другие блоки микросхемы работают в нормальном режиме. Выход CPO переводится в третье состояние.
PWDn=DVDD PREOFF==1	~85мВт	Отключается только блок PRE. В качестве входной частоты используется сигнал, поступающий на вход микросхемы LIN.

2.11 Режим быстрого захвата фазы

Режим быстрого захвата фазы применяется для быстрой перестройки синтезатора частот с одной частоты на другую. В основе режима быстрого захвата фазы лежит временное увеличение выходного тока на выходе CPO, работающего блока PDCP.

Перевод микросхемы в режим быстрого захвата фазы осуществляется программированием регистра FL в 1. Сразу после этого в качестве управляющего кода выходного тока для работающего блока PDCP используется программируемый регистр CPI2. Продолжительность пребывания управляющего регистра CPI2 в качестве управляющего кода током на выходе CPO работающего блока PDCP зависит от состояния управляющего регистра LM. Как только будет выполнено условие, записанное в регистре LM (LM==2 или LM==3), регистр CPI2 передает функцию управления кодом тока PDCP регистру CPI1, а значение регистра FL сбрасывается в 0.

3. ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ

Таблица 3.1. Электрические параметры (T=-60..+85°C)

Параметр	Обозначение	Комментарий	MIN	TYP	MAX	Размерность
Напряжения питания						
- Генератор тока	CPVDD		3,13	3,3	3,47	В
- Пределитель	PRVDD		1,7	1,8	1,9	В
- Цифровое	VDD		1,7	1,8	1,9	В
- Контактных площадок	DVDD		3,13	3,3	3,47	В
Ток потребления						
- Генератор тока	ICPVDD			17		мА
- Пределитель	IPRVDD			24		мА
- Цифровое ядро	IVDD			5		мА
- Контактных площадок	IDVDD			6		мА
Логические входы						
- напряжение лог. "1"	Vih		2,0		DVDD+0.3	В
- напряжение лог. "0"	Vil		-0,3		0,8	В
- ток утечки	Iilic		-10		10	мкА
- входная емкость	Ci				7	пФ
Логические выходы						
- напряжение лог. "1", Ioh=4мА	Voh		2,4			В
- напряжение лог. "0", Ioh=4мА	Vol				0,4	В
- ток лог. "1", Voh=2.4	Ioh		3,1			мА
- ток лог. "0", Vol=0.4	Iol		4			мА
Высокочастотный сигнал (вх. INP/INM)						
- Максимальная входная частота	F _{INmax}		3000	4300		МГц
- Минимальная входная частота (синус) ¹	F _{INmin}			100		МГц
- Минимальная мощность входного сигнала на 50Ω (чувствительность)	P _{IN}		-10		0	дБм
- Максимальная частота на выходе пределителя PRE	F _{PRE}		300	350		МГц
- Емкость входа	C _{IN}				3	пФ
- Входное сопротивление (дифференциальное)	R _{IN}			8		кОм
Высокочастотный сигнал (вх. PRE_NMI[0])						
- Максимальная входная частота	F _{NMImax}		200			МГц
Сигнал опорной частоты						
- Входная частота (синус) ²	F _{REF}		20		250	МГц
- Уровень сигнала	V _{REF}		0,8		DVDD	В, п-п
- Емкость входа	C _{REF}				7	пФ
- Входное сопротивление	R _{REF}			100		кОм
Частотно-фазовый детектор						
- Максимальная рабочая частота (целочисленный режим)	F _{PPFD}		15	25	100	МГц
(дробный режим)			15	25	100	МГц

Параметр	Обозначение	Комментарий	MIN	ТYP	MAX	Размерность
Генератор тока - Ток утечки в третьем состоянии - Диапазон рабочего напряжения - Ток откочки/подкачки - Рабочий диапазон изменения Rset ³ - Точность установки тока откочки/подкачки - Температурная нестабильность тока - Изменение тока в диапазоне рабочего напряжения - Разбаланс токов откочки/подкачки	I_{CPL} V_{CP} I_{CP} Rset dI_{OCP} dI_T dI_V dI_{CM}	Rset = 3,2кОм $V_{CP} = 0,5 \dots CPVDD - 0,5$ $V_{CP} = CPVDD/2, T=27^\circ C$ $V_{CP} = CPVDD/2, T=27^\circ C$ $V_{CP} = 0,5 \dots CPVDD - 0,5$ $V_{CP} = CPVDD/2, T=27^\circ C$	0,5 2,5	1 5 3 0,4 4,0 1,5 0,4	CPVDD-0,5 6 2 2	нА В мА кОм % % % % % %
Нормированный уровень собственных шумов ⁴	P_{NIHZ}	$F_{IN} = 1,1$ ГГц, $F_{PFD} = 10$ МГц, CPI=7, DLY=0, Rset=3,9кОм (см. рис 4.1)		-228		дБн/Гц
Нормированный уровень собственных шумов ⁴	P_{NIHZ}	$F_{IN} = 2,9$ ГГц, $F_{PFD} = 10$ МГц, CPI=7, DLY=0, Rset=3,9кОм (см. рис 4.2)		-230		дБн/Гц
Нормированный уровень собственных шумов ⁴	P_{NIHZ}	$F_{IN} = 2,9$ ГГц, $F_{PFD} = 50$ МГц, CPI=7, DLY=0, Rset=3,9кОм (см. рис 4.3)		-230		дБн/Гц
Уровень шумовой полки при частоте работы детектора ⁵ : 0,2МГц 1МГц 10МГц 100МГц	P_{FLOOR}	$F_{IN} = 2,9$ ГГц		Н./Д. Н./Д. -179 -201		дБн/Гц дБн/Гц дБн/Гц дБн/Гц
Нормированный уровень фликкер-шумов ⁶	P_{1F}	$F_{IN} = 2,9$ ГГц, на отстройке 10 кГц, нормированный к $F_{IN} = 1$ ГГц. (CPI=7, DLY=0, Rset=3,9кОм) (см. рис 4.2)		-122		дБн/Гц
Фазовый шум на выходе ГУН на отстройке 1кГц ⁷	P_{NOISE}	А (см. рис 4.1) В (см. рис 4.2) С (см. рис 4.4)		-109 -103 -93		дБн/Гц дБн/Гц дБн/Гц

Параметр	Обозначение	Комментарий	MIN	ТУР	MAX	Размерность
Уровень паразитных составляющих на выходе ГУН на отстройке ⁷ :	SFDR					
- 200кГц		А		Н./Д.		дБн
- 400кГц		А		Н./Д.		дБн
- 200кГц		В		Н./Д.		дБн
- 400кГц		В		Н./Д.		дБн
- 1МГц		С		Н./Д.		дБн
- 2МГц		С		Н./Д.		дБн

¹ Минимальная частота определена для синусоидального сигнала с уровнем 0 дБм. Для работы с 3,3-LVTTL входными сигналами с частотами до 200 МГц рекомендуется использовать цифровой вход микросхемы PRE_NMI[0] (доступно в SPI режиме).

² Минимальная частота определена для синусоидального сигнала минимального уровня. Для сигнала с фронтами не медленнее 50В/мкс ограничения на минимальную частоту нет.

³ Ток откачки/подкачки зависит от сопротивления Rset и кода тока SPI следующим образом:

$$I_{CP} = 2 \cdot (1 + CPI) / Rset.$$

⁴ Нормированный уровень собственных шумов рассчитывается по формуле: $P_{FLOOR} = P - 20 \cdot \lg(N) - 10 \cdot \lg(F_{PFD})$, где:

- P – внутриполосный фазовый шум, измеренный на выходе ГУН в петле ФАПЧ

- N – коэффициент деления входной частоты

⁵ Уровень шумовой полки рассчитывается по формуле: $P_{FLOOR} = P - 20 \cdot \lg(N)$

⁶ Нормированный уровень фликкер-шумов рассчитывается по формуле: $P_{1_F} = P - 10 \cdot \lg(10 \text{кГц}/f) - 10 \cdot \lg(F_{IN}/1 \text{ГГц})$, где f – отстройка от несущей частоты F_{IN} .

⁷ Режимы измерения:

А - $F_{IN} = 1100 \text{ МГц}$, $F_{PFD} = 10 \text{ МГц}$, полоса пропускания петли ФАПЧ = 200кГц, KINT=110, P=8/9

В - $F_{IN} = 2900 \text{ МГц}$, $F_{PFD} = 10 \text{ МГц}$, полоса пропускания петли ФАПЧ = 400кГц, KINT=290, P=16/17

С - $F_{IN} = 4450 \text{ МГц}$, $F_{PFD} = 10 \text{ МГц}$, полоса пропускания петли ФАПЧ = 300кГц, KINT=445, P=16/17

Таблица 3.2. Предельные параметры

Параметр	Обозначение	MIN	MAX	Размерность
Напряжения питания:				
- Генератор тока	CPVDD	-0.3	4.0	В
- Предделитель	PRVDD	-0.3	2.3	
- Цифровое	VDD	-0.3	2.3	
- Контактных площадок	DVDD	-0.3	4.0	
Напряжение на выводах INM, INP		-0.4	2.3	В
Напряжение на выводах СРО		-0.4	4.0	В
Напряжение на цифровых выводах		-0.4	4.0	В
Ток входа/выхода			8	мА
Температура хранения	Tenv	-60	+125	С
Температура выводов при пайке	Tlead		+300	С

4. ТИПОВЫЕ ЗАВИСИМОСТИ

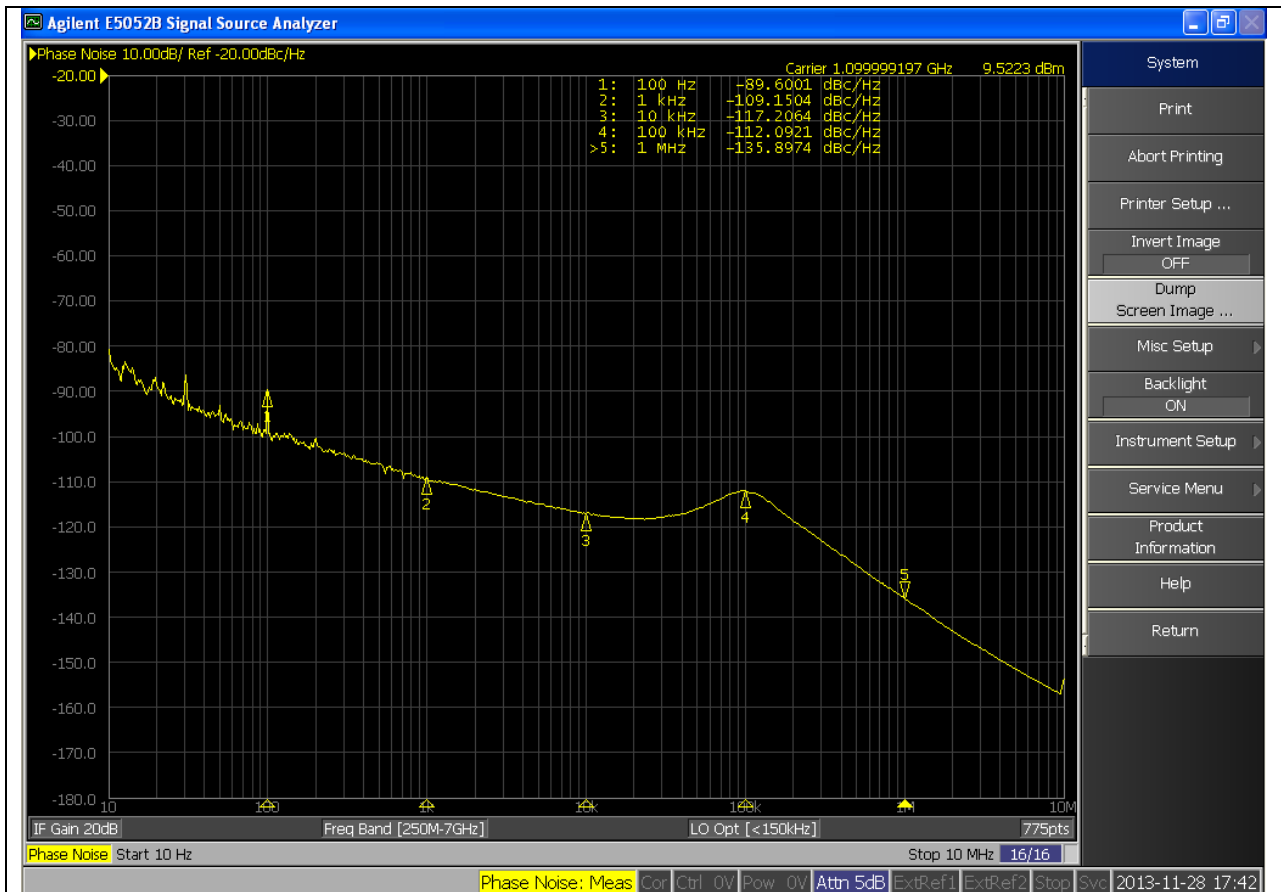


Рисунок 4.1. Спектрограмма фазовых шумов ГУН CVCO55BE-1000-1500 в кольце ФАПЧ. ($F_{IN}=1,1$ ГГц, $F_{PDF}=10$ МГц, $CPI=7$, $DLY=0$, $R_{set}=3,9$ кОм)

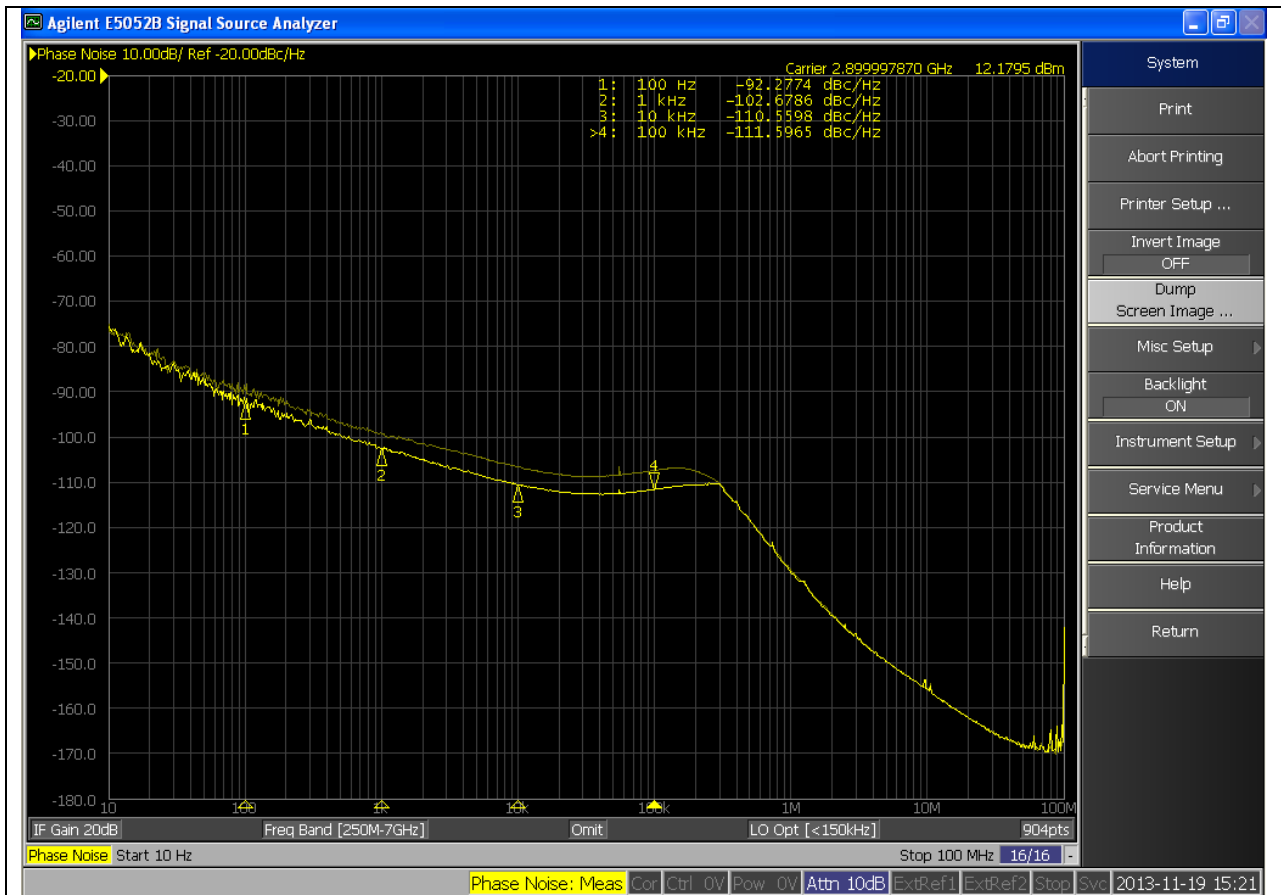
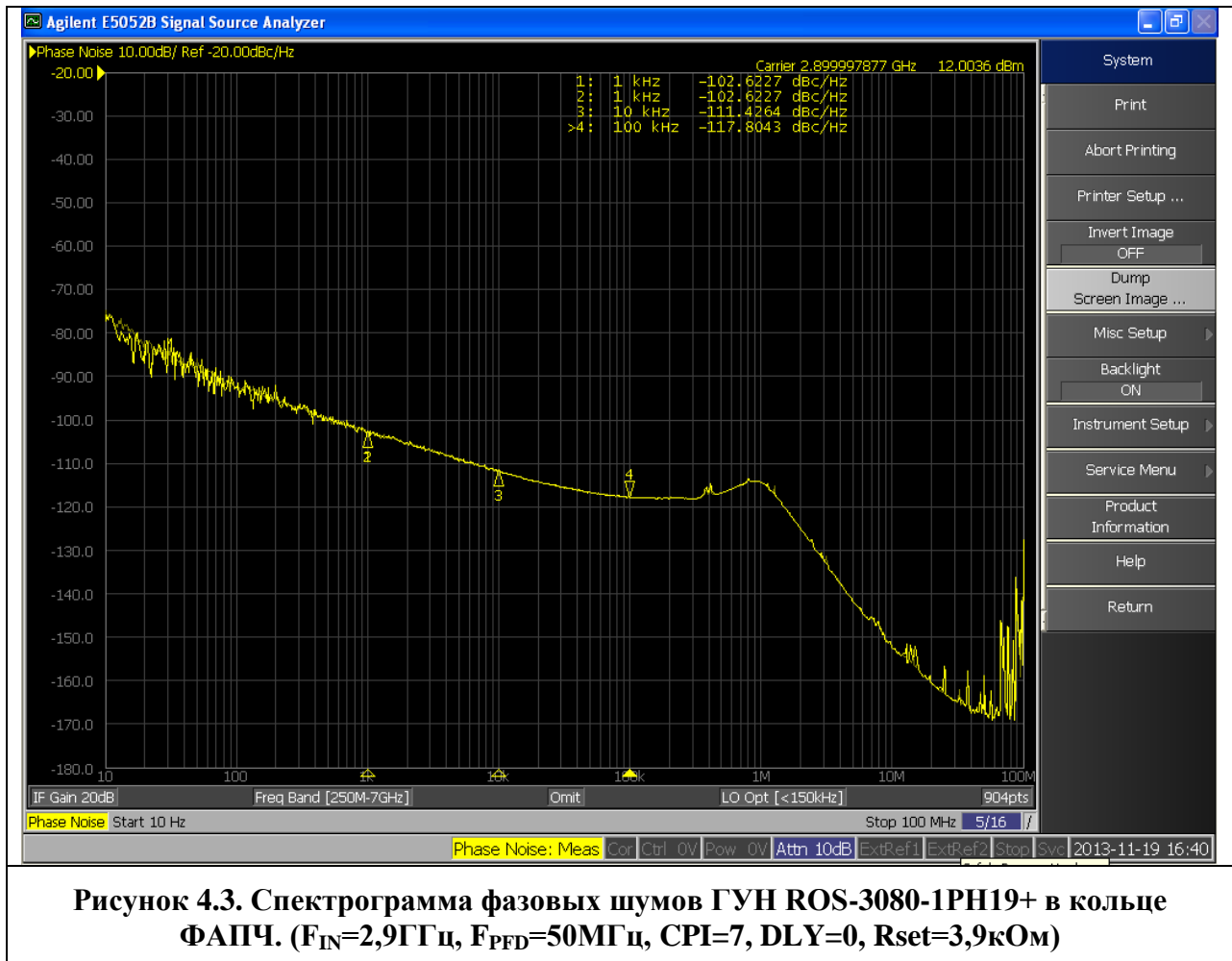
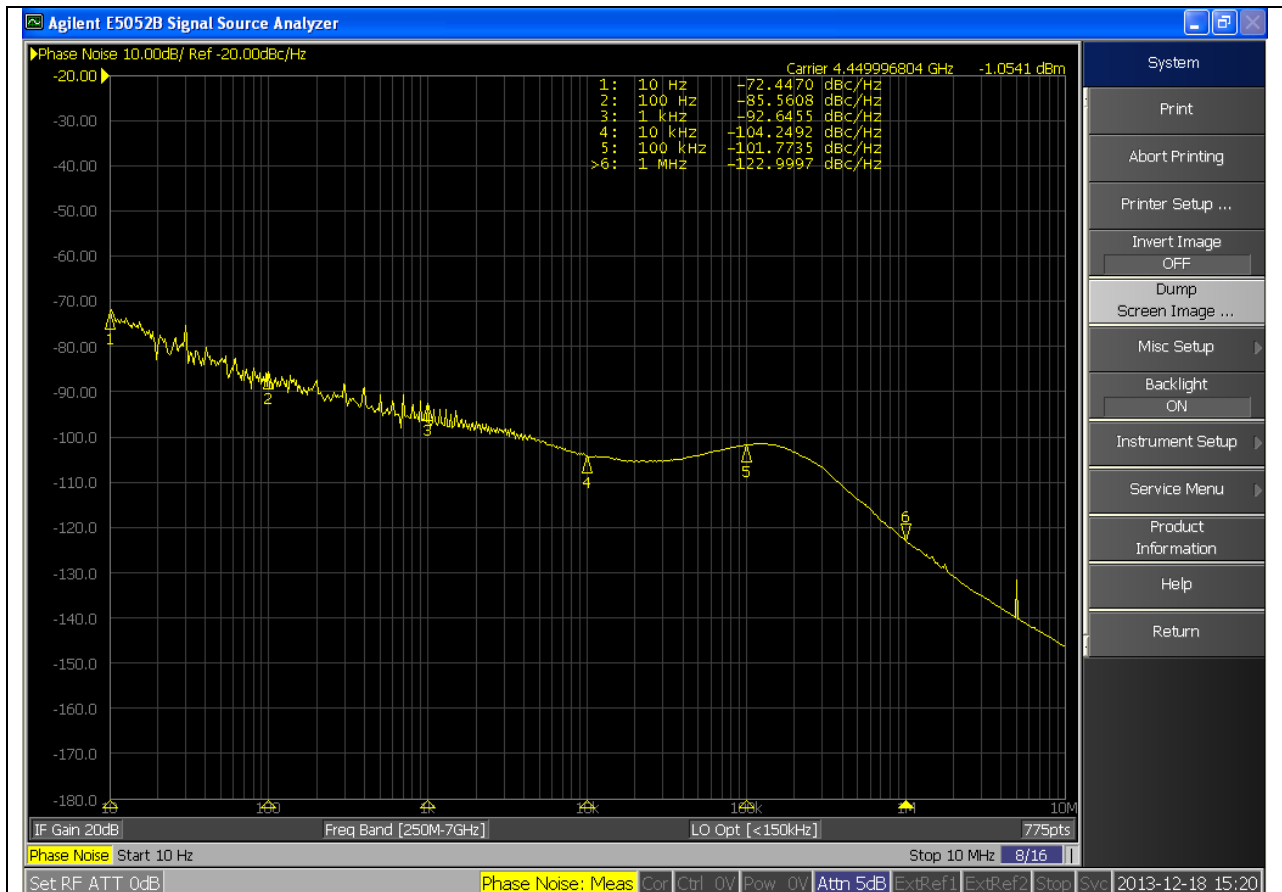


Рисунок 4.2. Спектрограмма фазовых шумов ГУН ROS-3080-1PH19+ в кольце ФАПЧ. ($F_{IN}=2,9$ ГГц, $F_{PFD}=10$ МГц, $CPI=7$, $R_{set}=3,9$ кОм). Основной график (DLY=0), вспомогательный график (DLY=2)





**Рисунок 4.4. Спектрограмма фазовых шумов ГУН НМС429LP4 в кольце ФАПЧ.
($F_{IN}=4,45$ ГГц, $F_{PFD}=10$ МГц, $CPI=7$, $DLY=0$, $Rset=3,9$ кОм)**



Рисунок 4.5. Спектрограмма фазовых шумов ГУН ROS-3080-1PH19+ в кольце ФАПЧ. ($F_{IN}=2,9$ ГГц, $F_{REF}=50$ МГц, $CPI=7$, $DLY=0$, $R_{set}=3,9$ кОм). Верхний график – режим DIRECT, нижний график – режим SPI

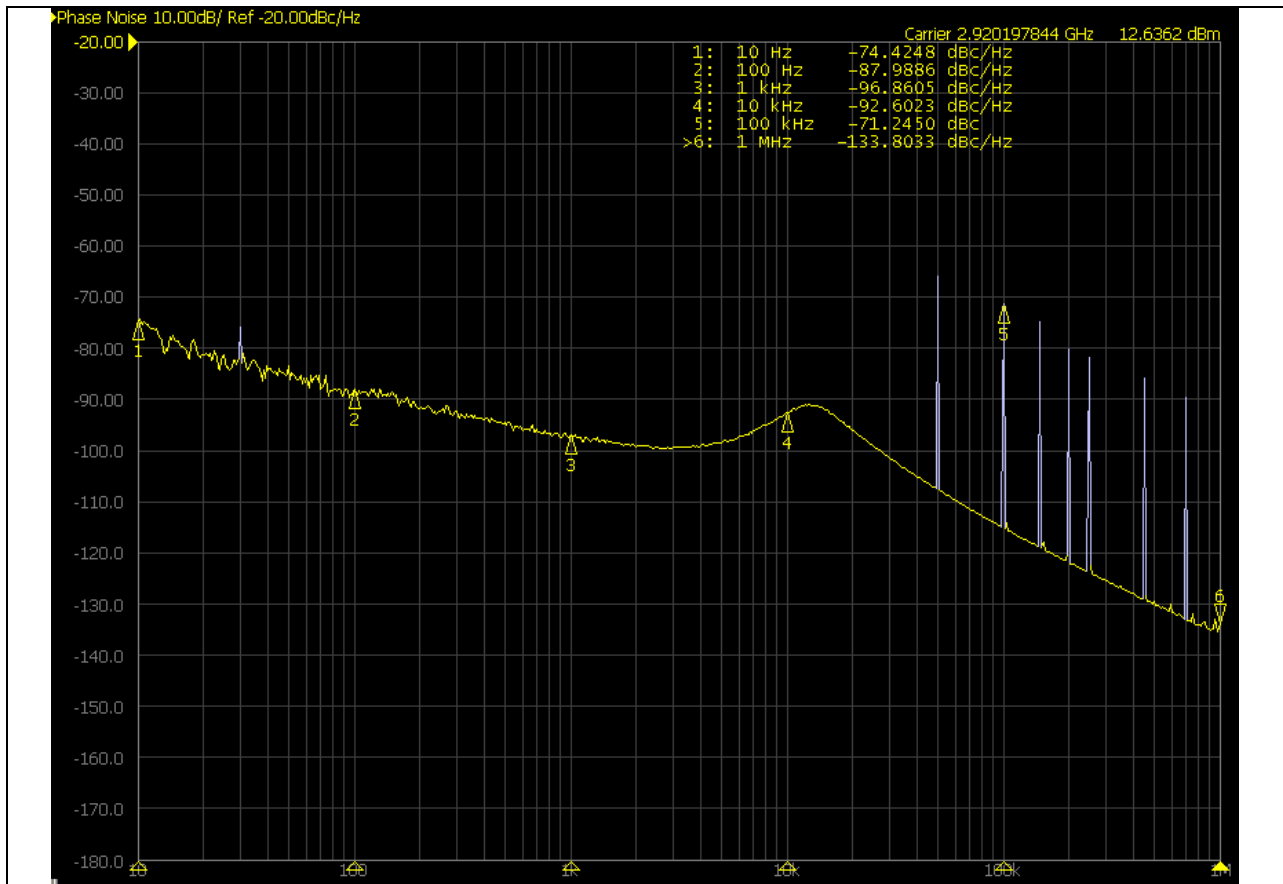


Рисунок 4.6. Спектрограмма фазовых шумов ГУН ROS-3080-1PH19+ в кольце ФАПЧ. Дробный режим ($F_{\text{ЧФД}}=25\text{МГц}$, $\text{KINT}=116$, $\text{FRAC}=101$, $\text{MOD}=125$, $\text{CPI}=7$, $\text{DLY}=0$, $\text{Rset}=3,9\text{кОм}$). На графике показаны спектральные паразитные составляющие

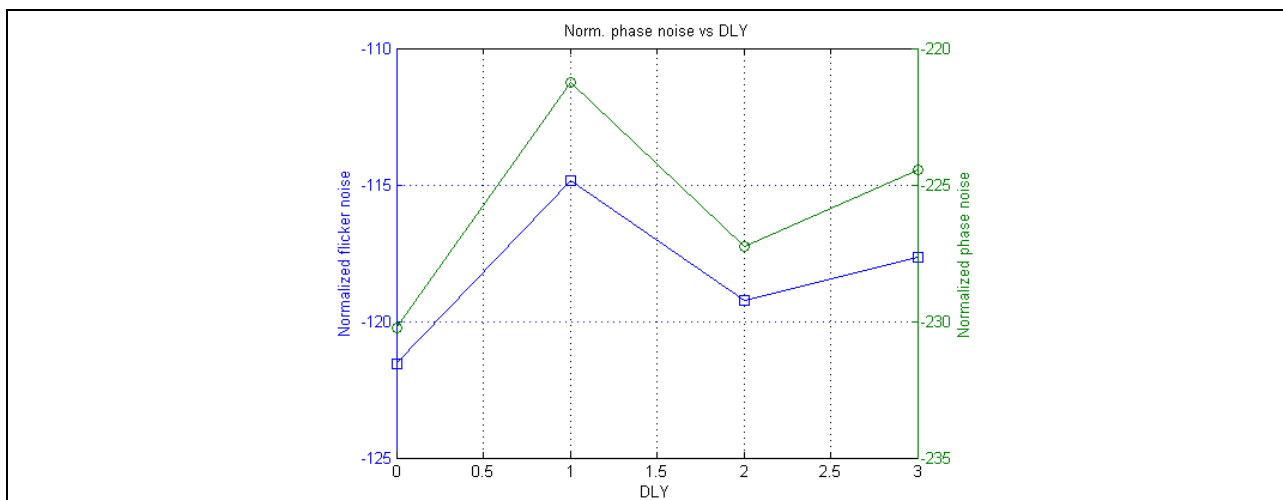


Рисунок 4.7. Типовая зависимость нормированного уровня фликкер-шумов и нормированного уровня собственных шумов от DLY (при $\text{Rset}=3,9\text{кОм}$, $\text{CPI}=7$, $F_{\text{IN}}=2,9\text{ГГц}$, $\text{Vcp}=1,35\text{В}$, $F_{\text{PFD}}=10\text{МГц}$)

5. ВРЕМЕННЫЕ ПАРАМЕТРЫ

Таблица 5.1. Временные параметры ($DVDD=3.3В$, $T=-60..+85^{\circ}C$, $C_{load}=40пФ$)

№	Параметр	обозначение	Мин, нс	Тип, нс	Макс, нс
1	Период тактового сигнала REF	t_{REF}	3		
2	Длительность высокого уровня сигнала REF	t_{REFH}			
3	Длительность низкого уровня сигнала REF	t_{REFL}			
4	Период тактового сигнала SCK	t_{SCK}	50		
5	Длительность высокого уровня сигнала SCK	t_{SCKH}	20		
6	Длительность низкого уровня сигнала SCK	t_{SCKL}	20		
7	Время установки SDI относительно переднего фронта SCK	t_{SSDI}	3		
8	Время установки SDI относительно заднего фронта SCK	t_{HSDI}	3		
9	Время установки SDO относительно заднего фронта SCK	t_{DSDO}			7
10	Время установки SCSn относительно переднего фронта SCK	t_{SSCSn}	3		
11	Время установки SCSn относительно заднего фронта SCK	t_{HSCSn}	3		
12	Время перехода сигнала SDO в состояние “выключено” после снятия сигнала SCSn	t_{DSDOZ}	3		
13	Время установки сигнала KINT относительно сигнала OUT1, OUT2 в режиме FCO	t_{SKINT}	3		
14	Время удержания сигнала KINT относительно сигнала OUT1, OUT2 в режиме FCO	t_{HKINT}	3		
15	Время установки сигнала KR относительно сигнала OUT1, OUT2 в режиме RCO	t_{SKR}	3		
16	Время удержания сигнала KR относительно сигнала OUT1, OUT2 в режиме RCO	t_{HKR}	3		

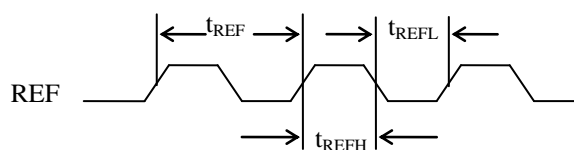


Рисунок 5.2. Тактовый сигнал REF

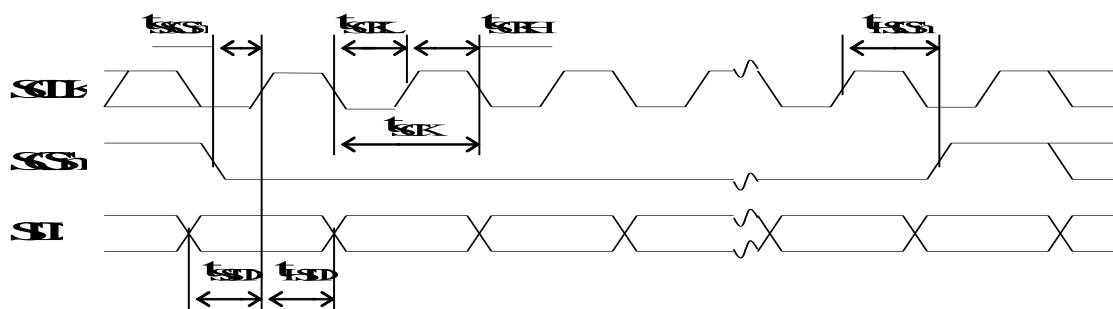


Рисунок 5.2. Подача сигналов SDI относительно тактового сигнала SCK

6. ТИПОВЫЕ СХЕМЫ ВКЛЮЧЕНИЯ

Режимы работы СБИС ФАПЧ приведены в таблице 6.1. Общие структурные схемы включения СБИС в различных режимах приведены на рисунках 6.1-6.3. Электрическая принципиальная схема включения СБИС ФАПЧ в режиме целочисленного/дробного синтезатора (без указания номиналов компонентов контурного фильтра, а также модели ГУН) приведена на рисунке 6.4.

Таблица 6.1. Режимы работы СБИС ФАПЧ

Режим	Описание
Целочисленный/дробный синтезатор	В данном режиме используется последовательный порт Возможно включение/отключение SDM (DIRECT=0)
ЛЧМ синтезатор	В данном режиме используется последовательный порт Используется прямая загрузка коэффициентов деления ДПКД KINT (DIRECT=0)
Целочисленный синтезатор с прямой загрузкой коэффициентов деления (Режим DIRECT)	В данном режиме СБИС ФАПЧ применяется без дополнительных внешних контроллеров в режиме целочисленного синтезатора: коэффициенты деления (R, N, M, PRE) загружаются напрямую через внешние выходы, SDM отключается, параметры ФАПЧ (DLY, CPI1, PDP и т.п.) – по умолчанию. (DIRECT=1)

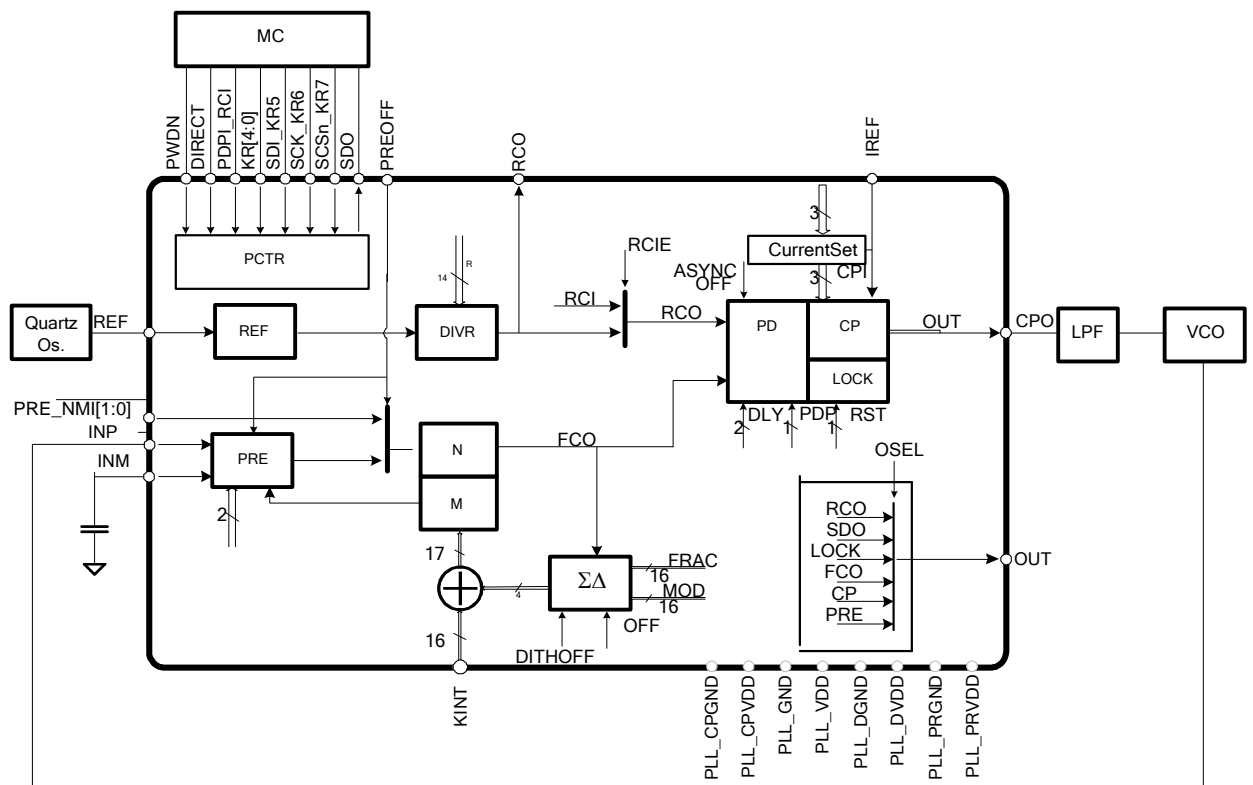


Рисунок 6.1. Схема электрическая структурная в режиме целочисленного/дробного синтезатора

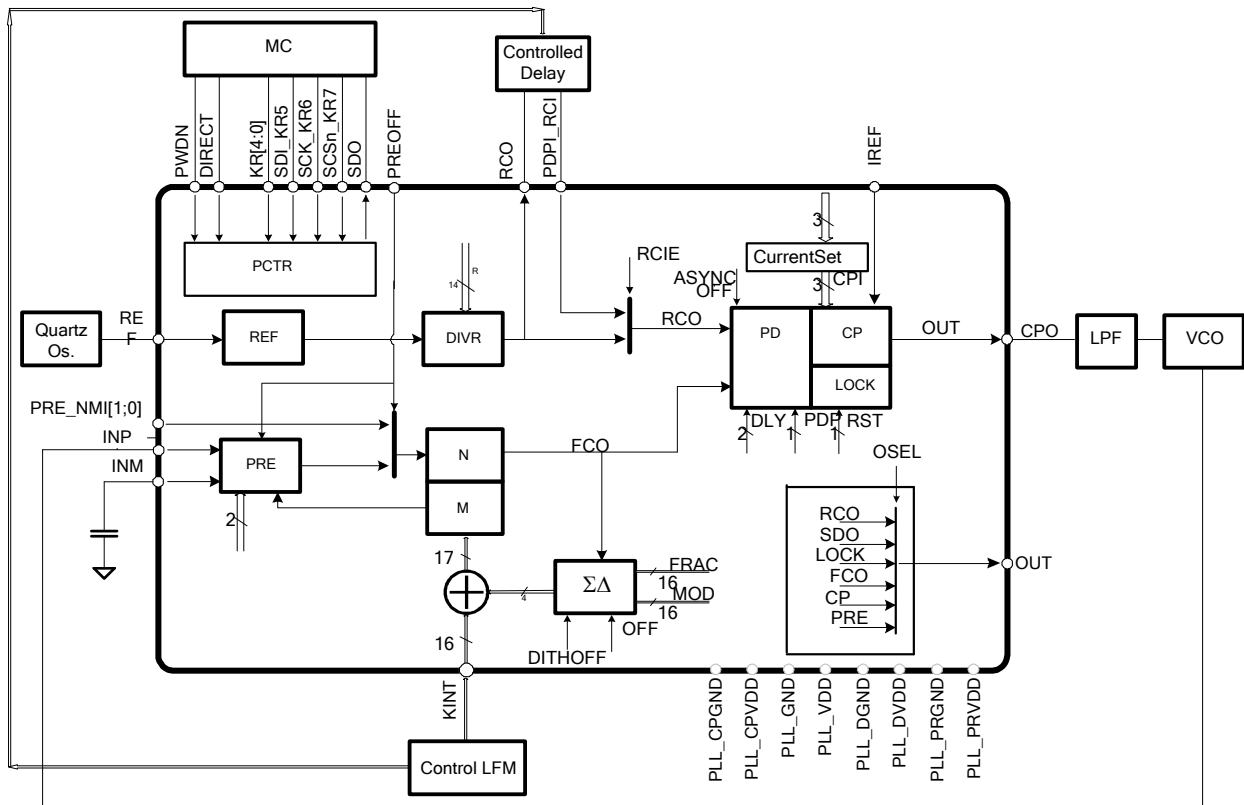


Рисунок 6.2. Схема электрическая структурная в режиме ЛЧМ синтезатора

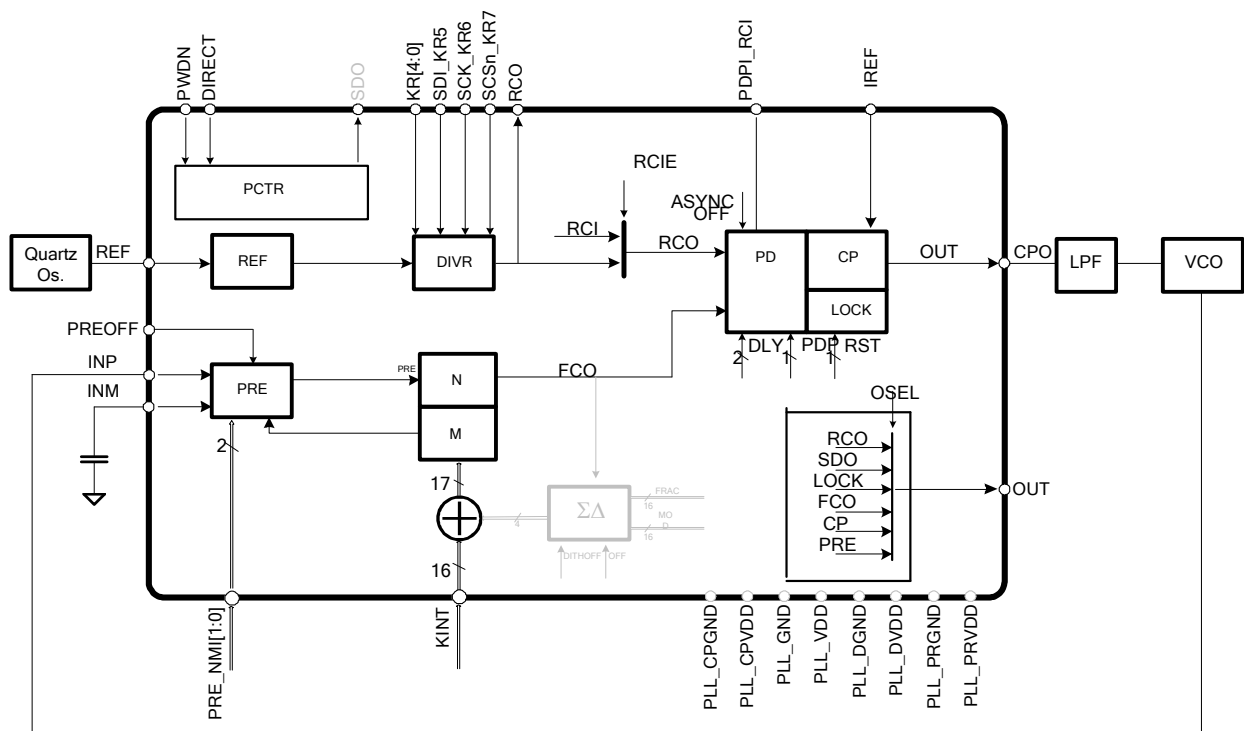


Рисунок 6.3. Схема электрическая структурная в режиме DIRECT

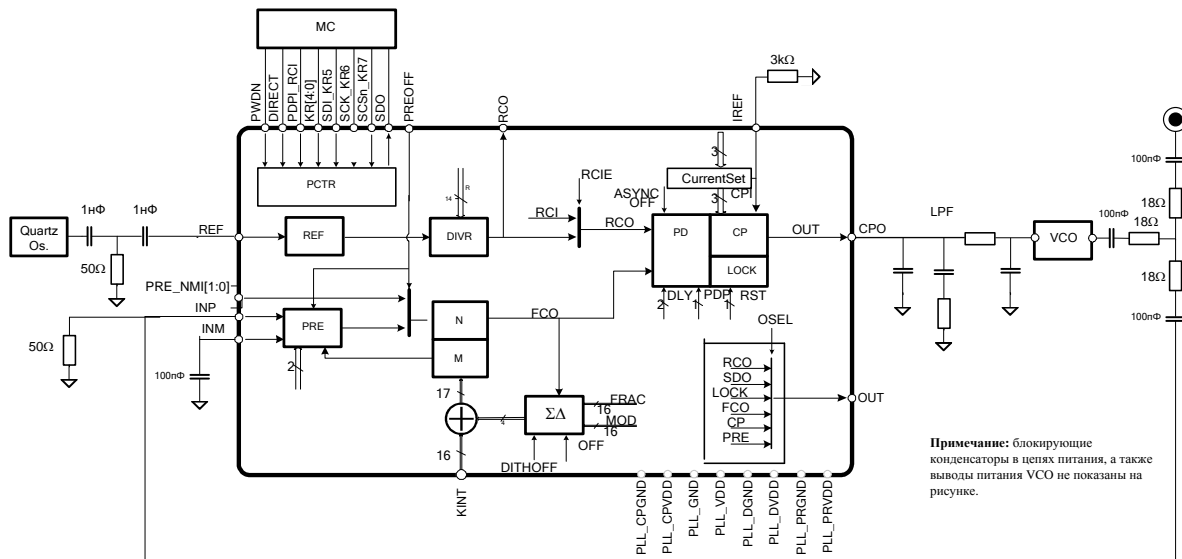


Рисунок 6.4. Электрическая принципиальная схема включения СБИС ФАПЧ в режиме целочисленного/дробного синтезатора

7. КОРПУС СБИС

На рисунке 7.1 изображена микросхема 1508ПЛ9Т в корпусе LQFP-48.

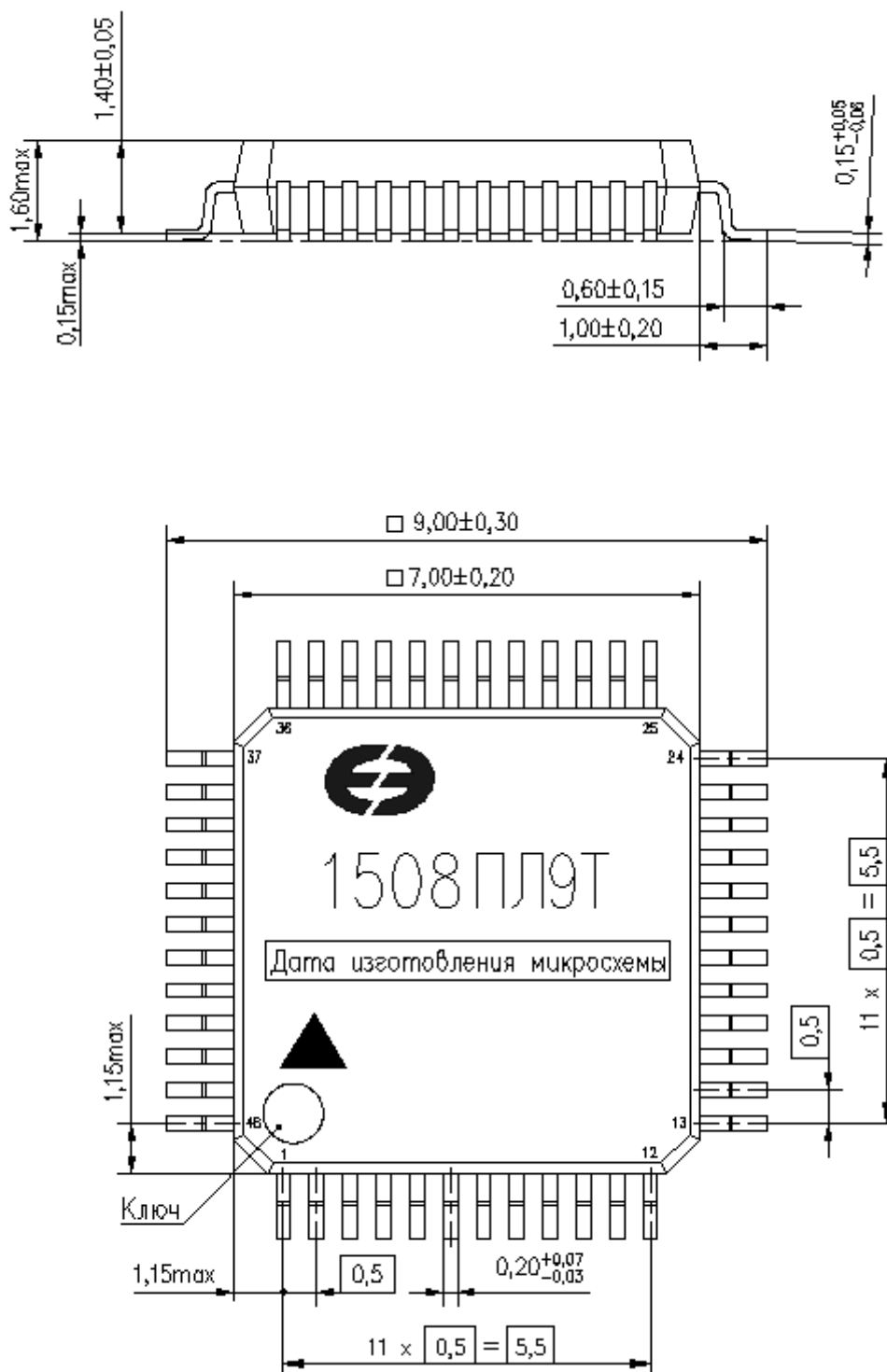


Рисунок 7.1. Корпус микросхемы

Нумерация выводов микросхемы 1508ПЛ9Т в корпусе LQFP-48 приведена в таблице 7.1.

Таблица 7.1. Нумерация выводов СБИС

№ вывода	Условное обозначение	№ вывода	Условное обозначение	№ вывода	Условное обозначение
1	PREOFF	17	KR[0]	33	KINT[15]
2	PRE_NMI[0]	18	KR[1]	34	KINT[14]
3	PRE_NMI[1]	19	KR[2]	35	KINT[13]
4	PRVDD	20	KR[3]	36	KINT[12]
5	INM	21	KR[4]	37	KINT[11]
6	INP	22	SDI_KR5	38	KINT[10]
7	PRGND	23	SCK_KR6	39	KINT[9]
8	CPGND	24	SCSn_KR7	40	KINT[8]
9	CPO	25	SDO	41	KINT[7]
10	CPVDD	26	DGND	42	KINT[6]
11	IREF	27	OUT	43	KINT[5]
12	REF	28	DVDD	44	KINT[4]
13	PDP_RCI	29	PWDN	45	KINT[3]
14	RCO	30	GND	46	KINT[2]
15	GND	31	DIRECT	47	KINT[1]
16	VDD	32	VDD	48	KINT[0]

8. ИСТОРИЯ ИЗМЕНЕНИЙ

8.1 Изменения от 26.05.2015. Автор: Дубинский А.В.

- в таблице 3.1 исправлены значения питающих напряжений;
- в таблице 3.1 исправлены значения для максимальной входной частоты;
- в таблице 3.1 обозначение чувствительности по входу INP/INM исправлено на Pin;
- в таблице 3.1 исправлена сноска 1 к таблице;
- в таблице 3.2 исправлены значения предельных параметров.

8.2 Изменения от 09.09.2016. Автор: Дубинский А.В.

- исправлен рисунок 6.4 (добавлен резистор на вход INP).

8.3 Изменения от 31.01.2017. Автор: Курмаев Р.А.

- в разделе 2.4 дополнено описание целочисленного делителя;
- в таблицу 2.5 добавлена сноска.

8.4 Изменения от 27.02.2017. Автор: Дубинский А.В., Черных А.В.

- в раздел 2.5 внесены ограничения при работе в дробном режиме.